

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-038960

(43)Date of publication of application : 13.02.2001

(51)Int.Cl.

B41J 2/44
 B41J 2/45
 B41J 2/455
 G09F 9/33
 H01L 33/00

(21)Application number : 11-218115

(71)Applicant : CANON INC

(22)Date of filing : 30.07.1999

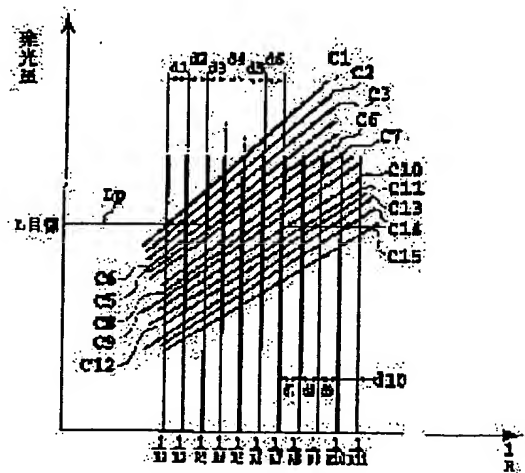
(72)Inventor : SEKIYA TOSHIYUKI
 SHIRAISHI MITSUO

(54) LIGHT-EMITTING ARRAY APPARATUS, ITS MANUFACTURE, LIGHT- SCANNING APPARATUS, AND IMAGE-FORMING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a decrease of a setting workability when a commercially available resistance is used and prevent a change of an emission wavelength because of a difference of driving currents of chips in relation to a light-emitting apparatus used in an image-forming apparatus of an electrophotographic recording system, its manufacture, a light-scanning apparatus using the light-emitting array apparatus, and an image-forming apparatus using the light-emitting array apparatus.

SOLUTION: An abscissa-coordinate value of an intersection between a line L_p of a required L target of an emission amount and a characteristic line $C1-C15$ of each chip is the reciprocal of an external current limit resistance value required for obtaining the emission amount of the L target by each chip. A coordinate value of the intersection of the characteristic line $C1$ of a first chip nearly agrees with a value of $1/R1$. Coordinate values of intersections of the other chips do not agree with any of resistance inverse number values $1/R1-1/R11$, and these intersections are within $d1-d10$ of an equal width. A resistance value range is divided on the basis of commercial resistance values of the normal 96 series in terms of R dimension, and a group of chips having intersections in the width $d1-d10$ are specified in one rank in terms of a quantity of light. Groups in the same rank are used for one apparatus.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

)

)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor chip arranged in the predetermined direction in two or more light emitting devices is mostly arranged in the aforementioned predetermined direction on plurality and a substrate. In the luminescence array equipment which makes two or more aforementioned light emitting devices of each aforementioned semiconductor chip emit light according to the drive current supplied to each semiconductor chip through a constant impedance component, respectively let the amount of average luminescence to the drive current of the predetermined level of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate be predetermined quantity of light width of face — having — the above — a law — the luminescence array equipment characterized by an impedance component having the same nominal resistance according to the aforementioned amount of average luminescence

[Claim 2] a claim 1 — setting — the aforementioned amount of average luminescence of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate — the above — a law — the luminescence array equipment characterized by considering as a request value mostly by the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component

[Claim 3] claims 1 or 2 — setting — the above — a law — initial value and the aforementioned initial value predetermined in an impedance component — receiving — an analogy — a ratio, such as having a coefficient, — the luminescence array equipment characterized by constituting two or more nominal resistance based on the sequence of numbers, and including the same aforementioned nominal resistance in two or more aforementioned nominal resistance

[Claim 4] The manufacture method of the luminescence array equipment characterized by providing the following. The rank division step which drive the semiconductor chip arranged in the predetermined direction in two or more light emitting devices with the drive current of predetermined level, and two or more aforementioned light emitting devices of all are made to emit light, and carries out the rank division of two or more semiconductor chips by predetermined quantity of light width of face at two or more ranks according to the amount of average luminescence for every chip concerned. The selected-array step which chooses the semiconductor chip which belongs to the same rank among two or more aforementioned semiconductor chips, and is made to arrange in the aforementioned predetermined direction mostly on a substrate. The connection step which connects the constant impedance component of the same nominal resistance according to the rank concerned to the end of each semiconductor chip belonging to the same aforementioned rank.

[Claim 5] the above which makes the aforementioned amount of average luminescence a request value mostly in the aforementioned rank division step in a claim 4 — a law — the manufacture method of the luminescence array equipment characterized by carrying out the rank division of two or more aforementioned semiconductor chips by the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component

[Claim 6] claims 4 or 5 — setting — the aforementioned connection step — preceding — predetermined initial value and the aforementioned predetermined initial value — receiving — an analogy — a ratio, such as having a coefficient, — the above which constitutes two or more nominal resistance based on the sequence of numbers — a law — the manufacture method of the luminescence array equipment characterized by including further the step which chooses the thing of the same aforementioned nominal resistance from an impedance component

[Claim 7] Luminescence array equipment which makes two or more aforementioned light emitting devices of each aforementioned semiconductor chip emit light according to the drive current which is mostly arranged in the aforementioned predetermined direction and is supplied [in the semiconductor chip arranged in the predetermined direction in two or more light emitting devices,] through a constant impedance component at each semiconductor chip, respectively on plurality and a substrate. carrying out horizontal scanning which makes two or more aforementioned light emitting devices emit light according to image data — the aforementioned main scanning direction and abbreviation — the line write-in [optical] which is a means repeat and form a line write-in [optical] on the rotation photo conductor by which a rotation drive is carried out by making the parallel axis of rotation into the center of rotation, and carried out [aforementioned] formation — an aforementioned rotation photo conductor top — the aforementioned main scanning direction and abbreviation — the scanning means which carries out light scanning so that it may be displaced relatively and formed at predetermined speed in the perpendicular direction of vertical scanning it is light-scanning equipment equipped with the above, and let the amount of average

luminescence to the drive current of the predetermined level of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate be predetermined quantity of light width of face — having — the above — a law — an impedance component is characterized by having the same nominal resistance according to the aforementioned amount of average luminescence

[Claim 8] a claim 7 — setting — the aforementioned amount of average luminescence of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate — the above — a law — the light-scanning equipment characterized by considering as a request value mostly by the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component

[Claim 9] claims 7 or 8 — setting — the above — a law — initial value and the aforementioned initial value predetermined in an impedance component — receiving — an analogy — a ratio, such as having a coefficient, — the light-scanning equipment characterized by constituting two or more nominal resistance based on the sequence of numbers, and including the same aforementioned nominal resistance in two or more aforementioned nominal resistance

[Claim 10] Image formation equipment characterized by having light-scanning equipment according to claim 7 to 9 and an image formation means to form a visible image according to the aforementioned line write-in [optical] repeatedly formed on the aforementioned rotation photo conductor.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially especially this invention relates to the manufacture method of the luminescence array equipment used as a light emitting device for record for forming a permanent visible image in a record medium by the electrophotography recording method about luminescence array equipment, its manufacture method, light-scanning equipment, and image formation equipment, and the luminescence array equipment concerned, the light-scanning equipment using the luminescence array equipment concerned, and the image formation equipment using the luminescence array equipment concerned.

[0002]

[Description of the Prior Art] conventionally, SLED (self-scan type Light Emitting Diode array: — henceforth referred to as SLED) JP,1-238962,A, JP,2-208067,A, JP,2-212170,A, JP,3-20457,A, JP,3-194978,A, JP,4-5872,A, JP,4-23367,A, JP,4-296579,A, JP,5-84971,A, And a Japan hard copy '91 (A-17) drive circuit It is introduced by the proposal of the accumulated light-emitting-device array for optical printers, the proposal of the self-scan type light emitting device (SLED) using electronic-intelligence communication society ('90.3.5) PNP thyristor structure, etc., and is observed as a light emitting device for record of electrophotography method image formation equipment.

[0003] An example of this SLED is shown in drawing 3, and the operation is explained.

[0004] SLED is equipped with that by which the thyristors ST1-ST5 for a transfer were connected to the cascade as shown in drawing 3, and the thing by which the thyristors SL1-SL5 for luminescence were connected to the cascade. The gate signal of each thyristor is made common like illustration, and the gate of the 1st thyristors SL1 and ST1 is connected to the signal input part of ϕS . It is constituted so that it may say that the gate of the 2nd thyristors SL2 and ST2 is connected to the cathode of the diode connected to the terminal of ϕS , and the gate of the 3rd thyristors SL3 and ST3 is connected to the cathode of the following diode.

[0005] Drawing 4 is a timing chart which shows ON/OFF of the control signal for controlling above SLED, and a thyristor, and shows the example in the case of turning on all elements. A transfer and luminescence are explained according to the timing chart of drawing 4.

[0006] A transfer is started by changing ϕS (drawing 4 (A)) to 5V from 0V. By the bird clapper, ϕS is set to 0V 5V after $V_a=5V$, $V_b=3.7V$ (the forward voltage drop of diode is set to 1.3V), $V_c=2.4V$, $V_d=1.1V$, and V_e . As for the gate voltage of the thyristor ST 1 for a transfer, as for the gate voltage of the thyristor ST 2 for a transfer, a gate voltage changes to 5V like [3.7V] the following from 0V from 0V.

[0007] It is setting $\phi 1$ (drawing 4 (B)) to 0V from 5V in this state, and each edge potential of the thyristor ST 1 for a transfer is set to anode:5V, cathode:0V, and gate:3.7V, and fills the on-condition of a thyristor. If the thyristor ST 1 for a transfer turns on, even if it changes ϕS to 0V in this state, a thyristor ST 1 will be an ON state and will be maintained by $V_a=5V$. If ϕS 's being impressed for this reason through resistance (not shown) and a thyristor turn on, the potential between the anode gates will depend them on a bird clapper almost equally.

[0008] For this reason, the on-condition of the 1st thyristor is held as for 0V, and the 1st shift operation completes ϕS . If $\phi 1$ signal for the thyristors for luminescence (drawing 4 (D)) is set to 0V from 5V in this state, since it will become the same as the conditions which the thyristor for a transfer turned on, the thyristor SL 1 for luminescence will turn on, and 1st Light Emitting Diode will light up. Since the potential difference between the anode cathodes of the thyristor for luminescence of 1st Light Emitting Diode is lost and it becomes impossible to pass the minimum holding current of a thyristor by returning $\phi 1$ to 5V, the thyristor SL 1 for luminescence turns off.

[0009] Next, an on-condition transfer of the thyristor from ST1 to ST2 is explained.

[0010] Since $\phi 1$ continues being 0V even if the thyristor SL 1 for luminescence turns off, the gate voltage of the thyristor ST 1 for a transfer is $V_a=5V$, turned on, and the thyristor ST 1 for a transfer is $V_b=3.7V$. By changing $\phi 2$ (drawing 4 (C)) to 0V from 5V in this state, the potential of the thyristor ST 2 for a transfer is set to anode:5V, cathode:0V, and gate:3.7V. Th reby, the thyristor ST 2 for a transfer turns on. After the thyristor ST 2 for a transfer turns on, by changing $\phi 1$ to 5V from 0V, the thyristor for a transfer is turned off, as the thyristor SL 1 for luminescence turned off.

[0011] In this way, ON of the thyristor for a transfer is shifted to ST2 from ST1. And if $\phi 1$ is set to 0V from 5V, the thyristor 2 for luminescence will turn on and emit light. In addition, the reason only the thyristor for luminescence corresponding to the turned-on thyristor for a transfer can emit light is that it does not become the

on-condition of a thyristor except for the thyristor of the next door of the turned-on thyristor since a gate voltage is 0V when the thyristor for a transfer does not turn on. Since the potential of phil is set to 3.4V (a part for the forward voltage drop of the thyristor for luminescence) when the thyristor for luminescence turns on also about next thyristor, since there is no potential difference between gate cathodes, the next thyristor cannot be turned on.

[0012] In addition, although it said that the thyristor for luminescence is turned on and emits light by setting phil to 0V by ***, it is necessary to make it correspond to image data whether light is made to actually emit or it does not carry out, and to control by the timing naturally, in actual image formation operation. For phil terminal of SLED, they are the signal which shows this, and image data Dp of drawing 4 (E) and phiD of drawing 4 (F) take the OR of phil and image data Dp outside, only when image data Dp is 0V, phil terminal of SLED is actually set to 0V, and they emit light, and when image data Dp is 5V, phil terminal of SLED becomes being 5V with as, and they emit light.

[0013] One SLED chip is composition as shown in drawing 3, for example, it has 128 thyristors for luminescence arranged by main scanning direction, and lighting control of it is alternatively carried out one by one by the thyristor for a transfer as the thyristor for luminescence concerned was explained with drawing 4.

[0014] The equal circuit at the time of the drive of each luminescence pixel (at the time of the thyristor-on for luminescence) is shown in drawing 5. In drawing 5, 51 shows the equal circuit of the thyristor for luminescence, and an equal circuit 51 is a series circuit of Diode Df and the thyristor internal resistance R1 which produces forward-drop voltage. 52 is the equal circuit of a driver IC (driver), and contains the drive transistor Q. It has the current-limiting resistance R2 among equal circuits 51 and 52, and the output current with the drive transistor Q is restricted. You may have the current-limiting resistance R2 in a driver 52.

[0015] The drive current Id supplied to the thyristor for luminescence becomes what broke supply voltage ($5-V_f$), for example, the voltage which deducted the forward voltage drop V_f by the diode Df in the 5 equal circuit 51 of the thyristor for luminescence from V, by the sum (R_1+R_2) of external current-limiting resistance and a thyristor internal resistance value. Therefore, if the amount V_f of forward voltage drops and the internal resistance value R1 of each luminescence pixel vary also within one SLED chip, drive current Id will also be changed according to the dispersion.

[0016] An example of drive current dispersion of the thyristor for luminescence is shown in drawing 6 and drawing 7.

[0017] Drawing 6 shows the array position of a luminescence pixel (thyristor for luminescence), and the relation of the drive current of each luminescence pixel to the 3rd SLED chip as an example. In drawing 6, the pixel array position whose horizontal axis is each luminescence pixel of each SLED chip is shown, and a vertical axis shows the drive current corresponding to these. The relation shown in drawing 6 shows the case where current-limiting resistance of the same resistance (R_{ω}) is altogether attached to the output of the driver which drives two or more each phil of a SLED chip.

[0018] Here, each luminescence pixel drive current in a chip 1 varies within the limits of I1, each luminescence pixel drive current in a chip 2 differs within the limits of I2, and each luminescence pixel drive current in a chip 3 differs within the limits of I3. Though I3 is [among these] the largest, the difference delta 1 of the average of the drive current in a chip 2 and the average of the drive current in a chip 1 is larger than I3, and the difference delta 2 of the average of the drive current in a chip 1 and the average of the drive current in a chip 2 is larger than I3.

[0019] Thus, if dispersion between luminescence pixels of the amount of forward voltage drops in one SLED chip and an internal resistance value (namely, drive current dispersion) is compared with dispersion in the amount average of forward voltage drops during a different SLED chip, and the internal resistance average, generally it will become low.

[0020] Drawing 7 shows the inverse number (horizontal axis $1/R$) of current-limiting resistance of each luminescence pixel of each SLED chip, and the relation of drive current (vertical axis) to the 3rd SLED chip as an example, and shows similarly the general property mentioned above that dispersion during a different SLED chip is larger than dispersion in a chip.

[0021] namely, every in case the inverse numbers of current-limiting resistance are average $1/R_a$ — it varies between the dispersion ranges I1, I2, and I3 in a SLED chip, and a different chip, delta 1 and delta 2 show the above-mentioned property, the inverse number concerned increases from the average, and drive current also increases — it is alike, and it follows and these dispersion increases

[0022] Next, an example of the amount dispersion of luminescence of the thyristor for luminescence is shown in drawing 8 and drawing 9.

[0023] Drawing 8 shows the relation between the array position of a luminescence pixel (thyristor for luminescence), and the amount of luminescence of each luminescence pixel to the 3rd SLED chip as an example. In drawing 8, the pixel array position whose horizontal axis is each luminescence pixel of each SLED chip is shown, and a vertical axis shows the amount of luminescence corresponding to these. The relation shown in drawing 8 shows the case where the constant-current (current value Ia shown in drawing 9) drive of two or more each phil of a SLED chip is carried out by the ideal current regulator circuit.

[0024] Here, each amount of luminescence pixel luminescence in a chip 1 varies within the limits of L1, each amount of luminescence pixel luminescence in a chip 2 differs within the limits of L2, and each amount of luminescence pixel luminescence in a chip 3 differs within the limits of L3. Though L1 is [among these] the largest, the difference delta 1 of the average of the amount of luminescence in a chip 2 and the average of the

amount of luminescence in a chip 1 is larger than L1, and the difference delta 2 of the average of the amount of luminescence in a chip 2 and the average of the amount of luminescence in a chip 2 is larger than L1.

[0025] Thus, if each dispersion between pixels of the amount of luminescence in one SLED chip at the time of considering as drive current regularity is compared with each dispersion between pixels of the amount average of luminescence during a different SLED chip, generally it will become low.

[0026] Drawing 9 is what showed the drive current (horizontal axis) of each luminescence pixel of each SLED chip, and the relation of the amount of luminescence (vertical axis) to the 3rd SLED chip as an example, and when drive current is I_a , it corresponds to drawing 8.

[0027] Here, it varies between each dispersion ranges L1, L2, and L3 in a SLED chip, and a different chip, and delta1 and delta2 increase as drive current value increases.

[0028] In order to manufacture the Light Emitting Diode array luminescence equipment which suppressed the influence by the above-mentioned dispersion and restricted the difference of the average quantity of light during each SLED chip within the limits of predetermined, the method explained below with reference to drawing 10 and drawing 11 was taken conventionally. As for drawing 10 and drawing 11, the SLED chip shows three examples as an example.

[0029] In drawing 10, a vertical axis shows the average quantity of light (\bar{L}), and a horizontal axis shows average drive current (\bar{I}). About each SLED chip first carried in one Light Emitting Diode array luminescence equipment, chips 1 and 2, the average drive current from which a target predetermined average quantity of light value (\bar{L} target) is acquired according to the relation of each average drive current pair average quantity of light in $3 / 11 / 3$ are calculated according to an operation. [12/13]

[0030] On the other hand, in drawing 11, a vertical axis shows average drive current (\bar{I}), and a horizontal axis shows the inverse number ($1/R$) of external current-limiting resistance. According to the relation of the average drive current pair external resistance value shown in drawing 11, the inverse number 1 of an external resistance value from which each computed average drive current $\bar{I} / 11 / 3$ are obtained $/ R1, 1/R2$, and $1/R3$ are calculated according to an operation about chips 1, 2, and 3 following calculation of the above-mentioned average drive current, respectively. [12/13]

[0031] Resistance with the nearest nominal value is chosen as the resistance which realizes the inverse number computed according to the above-mentioned method as current-limiting resistance mounted in Light Emitting Diode array luminescence equipment from resistance products, such as 24 commercial sequences (24 series) and 96 sequences (96 series), and is used for it. 24 sequences, 96 sequences, etc. are expressed with $**x10N$ (integer excluding [N] 0) as everyone knows, and resistance is the thing of $**$ which takes 24 sorts of different values, or 96 sorts of different values as a value.

[0032] Then, the composition method of a SLED array head is explained with reference to the external view of the head shown in drawing 12.

[0033] The SLED semiconductor chip (semiconductor SLED chip) 1211 is carried in the base substrate 1212 using printed wired boards, such as glass epoxy material and ceramic material. The control signal from the outside is supplied to the lighting control circuit (driver IC) 1214, and it generates the lighting control signal of the SLED semiconductor chip 1211. The control signal from the outside is inputted from a connector 1213, and a power supply is inputted from a power circuit 1232 through a power cable 1231, and each is supplied to each semiconductor.

[0034] Bonding wire 1215 is connected to the SLED semiconductor chip 1211, and this inputs the output signals $\phi i1$ and $\phi i2$ from a driver IC 1214, ϕiS , ϕiL , and a negative-electrode side power supply (this example GND), respectively. 1216 shows the positive-electrode side power supply pattern (this example +5 V) pulled to the base substrate 1212. 1217 shows the silver paste for taking the electric electric conduction between the positive-electrode side power supply pattern 1216 and the rear-face electrode of the SLED semiconductor chip 1211, and carrying out adhesion fixation.

[0035]

[Problem(s) to be Solved by the Invention] However, when the thing of the maximum contiguity value was chosen individually, was combined and it only mounted it as mentioned above out of the resistance product (nominal resistance is for example, 24 sequences and 97 sequences) of marketing of the current-limiting resistance corresponding to a Light Emitting Diode semiconductor chip and these chips, in the manufacturing process, the structure which a Light Emitting Diode chip and current-limiting resistance are made to correspond individually, and combines them certainly for every head was required.

[0036] For example, when the Light Emitting Diode chip was made to correspond and each current-limiting resistance was alternatively mounted after carrying a Light Emitting Diode semiconductor chip in a head arbitrarily first, it needed to perform directing the current-limiting resistance corresponding to each Light Emitting Diode semiconductor chip to a resistance mounting machine each time the whole head, and the technical problem that the fall of workability might be invited occurred.

[0037] Moreover, the technical problem on a property also occurred apart from the technical problem of the above assembly-operation nature. That is, while the quantity of light was regularity-ized, the case where drive current differed greatly between chips generated the Light Emitting Diode array luminescence equipment manufactured by the structure which current-limiting resistance of the resistance doubled with the property of each chip is made to correspond alternatively, and mounts it, and the difference of the drive current during a chip had produced the technical problem on the two following properties.

[0038] If a difference of the drive current during a chip is great to it even if the amount of luminescence is regularized by rationalization of drive current by it, since luminescence wavelength is changed to the 1st by drive current, luminescence wavelength will change to it between chips. Therefore, in spite of regularizing the amount of luminescence when luminescence wavelength variation cannot be disregarded on the sensitivity wavelength property of a photoconductor drum if Light Emitting Diode array luminescence equipment is used as a write-in means of electrophotography method image formation equipment, an output picture property will become uneven between chips.

[0039] If the difference in the drive current during a chip is great to the 2nd, in it, the difference of calorific value will occur between chips. Although the quantity of light generally falls in connection with ***, according to the difference of calorific value, a difference arises also in the amount of quantity of light change. For this reason, when the difference in the drive current during a chip is great, a difference arises in the amount of luminescence between chips as a result.

[0040] Then, it is made in order that this invention may solve the above technical problems, and it aims at offering the manufacture method of the luminescence array equipment which can solve the technical problem of the assembly-operation nature in the case of choosing and using a commercial resistance product, and the two above-mentioned technical problems produced by difference of the drive current during a chip, and the luminescence array equipment concerned, the light-scanning equipment using the luminescence array equipment concerned, and the image-formation equipment using the luminescence array equipment concerned.

[0041]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem invention of a claim 1 The semiconductor chip arranged in the predetermined direction in two or more light emitting devices is mostly arranged in the aforementioned predetermined direction on plurality and a substrate. In the luminescence array equipment which makes two or more aforementioned light emitting devices of each aforementioned semiconductor chip emit light according to the drive current supplied to each semiconductor chip through a constant impedance component, respectively let the amount of average luminescence to the drive current of the predetermined level of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate be predetermined quantity of light width of face — having — the above — a law — an impedance component offers luminescence array equipment with the same nominal resistance according to the aforementioned amount of average luminescence

[0042] moreover, invention according to claim 2 — a claim 1 — setting — the aforementioned amount of average luminescence of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate — the above — a law — the luminescence array equipment mostly made into a request value by the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component is offered

[0043] moreover, invention according to claim 3 — claims 1 or 2 — setting — the above — a law — initial value and the aforementioned initial value predetermined in an impedance component — receiving — an analogy — a ratio, such as having a coefficient, — two or more nominal resistance based on the sequence of numbers is constituted, and the luminescence array equipment which contains the same aforementioned nominal resistance in two or more aforementioned nominal resistance is offered

[0044] Moreover, invention according to claim 4 drives the semiconductor chip arranged in the predetermined direction in two or more light emitting devices with the drive current of predetermined level, and makes two or more aforementioned light emitting devices of all emit light. The rank division step which carries out the rank division of two or more semiconductor chips by predetermined quantity of light width of face at two or more ranks according to the amount of average luminescence for every chip concerned, The selected-array step which chooses the semiconductor chip which belongs to the same rank among two or more aforementioned semiconductor chips, and is made to arrange in the aforementioned predetermined direction mostly on a substrate, The manufacture method of the luminescence array equipment containing the connection step which connects the constant impedance component of the same nominal resistance according to the rank concerned to the end of each semiconductor chip belonging to the same aforementioned rank is offered.

[0045] moreover, the above whose invention according to claim 5 makes the aforementioned amount of average luminescence a request value mostly in the aforementioned rank division step in a claim 4 — a law — it is the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component, and the manufacture method of the luminescence array equipment which carries out the rank division of two or more aforementioned semiconductor chips is offered

[0046] moreover, invention according to claim 6 — claims 4 or 5 — setting — the aforementioned connection step — preceding — predetermined initial value and the aforementioned predetermined initial value — receiving — an analogy — a ratio, such as having a coefficient, — the above which constitutes two or more nominal resistance based on the sequence of numbers — a law — the manufacture method of the luminescence array equipment which contains further the step which chooses the thing of the same aforementioned nominal resistance from an impedance component is offered

[0047] Invention according to claim 7 the semiconductor chip arranged in the predetermined direction in two or more light emitting devices Moreover, plurality, The luminescence array equipment which makes two or more aforementioned light emitting devices of each aforementioned semiconductor chip emit light according to the drive current which is mostly arranged in the aforementioned predetermined direction and is supplied through a constant

impedance component at each semiconductor chip, respectively on a substrate, It is a means to repeat and form a line write-in [optical] on the rotation photo conductor by which a rotation drive is carried out by making the parallel axis of rotation into the center of rotation. performing horizontal scanning which makes two or more aforementioned light emitting devices emit light according to image data — the aforementioned main scanning direction and abbreviation — In light-scanning equipment equipped with the scanning means which carries out light scanning so that it may be displaced relatively and formed in the perpendicular direction of vertical scanning at predetermined speed the line write-in [optical] which carried out [aforementioned] formation — the aforementioned rotation photo conductor top — the aforementioned main scanning direction and abbreviation — let the amount of average luminescence to the drive current of the predetermined level of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate be predetermined quantity of light width of face — having — the above — a law — an impedance component offers light-scanning equipment with the same nominal resistance according to the aforementioned amount of average luminescence

[0048] moreover, invention according to claim 8 — a claim 7 — setting — the aforementioned amount of average luminescence of two or more aforementioned light emitting devices of each aforementioned semiconductor chip on the aforementioned substrate — the above — a law — the light-scanning equipment mostly made into a request value by the aforementioned predetermined quantity of light width of face according to the resistance of an impedance component is offered

[0049] moreover, invention according to claim 9 — claims 7 or 8 — setting — the above — a law — initial value and the aforementioned initial value predetermined in an impedance component — receiving — an analogy — a ratio, such as having a coefficient, — two or more nominal resistance based on the sequence of numbers is constituted, and the light-scanning equipment which contains the same aforementioned nominal resistance in two or more aforementioned nominal resistance is offered

[0050] Moreover, invention according to claim 10 offers image formation equipment equipped with light-scanning equipment according to claim 7 to 9 and an image formation means to form a visible image according to the aforementioned line write-in [optical] repeatedly formed on the aforementioned rotation photo conductor.

[0051]

[Embodiments of the Invention] Hereafter, with reference to a drawing, the operation gestalt of this invention is explained in detail.

[0052] With the operation gestalt concerning this invention, based on the average quantity of light of the all light emitting device in a chip at the time of predetermined average drive current, the quantity of light rank division of each Light Emitting Diode semiconductor chip is carried out by predetermined rank width of face for every Light Emitting Diode semiconductor chip, and the Light Emitting Diode semiconductor chip by which the rank division was carried out was altogether arranged to the same quantity of light rank in one Light Emitting Diode array luminescence equipment. Furthermore, it was made to manufacture combining a Light Emitting Diode semiconductor chip and external current-limiting resistance so that the external current-limiting resistance (R_2 of drawing 5) which has the same nominal resistance according to the quantity of light rank altogether may be connected to each [these] Light Emitting Diode semiconductor chip.

[0053] The operation gestalt of the Light Emitting Diode array luminescence equipment applied to this invention with reference to the property view of drawing 1 and its manufacture method is explained concretely.

[0054] Drawing 1 is the property view having shown typically the inverse number (horizontal axis $1/R$) of the resistance of external current-limiting resistance of each chip, and the relation of the average quantity of light in a chip in the shape of a straight line about various chips. Based on the average quantity of light of the all light emitting device in a chip at the time of predetermined average drive current, it asks for this property view for every Light Emitting Diode semiconductor chip. Resistance inverse number value $1/R_1 - 1/R_{11}$ is given to the horizontal axis by fixed width of face.

[0055] In this related view, the value of the amount of luminescence demanded as Light Emitting Diode array luminescence equipment is carried out L target. It becomes the inverse number of external current-limiting resistance required at this time, if a SLED chip considers as 15 pieces, in order that the value ($1/R$) which the horizontal-axis coordinate value of the intersection of the ultimate lines $c_1 - c_{15}$ of each chip and the straight line L_p of the amount $L = L$ target of luminescence shows may obtain the amount of luminescence of L target with each chip.

[0056] For example, the intersection coordinate value of the ultimate lines c_1 of the 1st chip is mostly in agreement with the value of $1/R_1$. However, any of the intersection coordinate value of other chips (shown by ultimate-lines $c_1 - c_{15}$) of resistance inverse number value $1/R_1 - 1/R_{11}$ do not correspond, but these intersections are in width of face $d_1 - d_{10}$. Let each width of face be the same width of face.

[0057] Then, the range of resistance is divided like drawing 2 at the dimension of R based on the commercial resistance of nominal 96 sequence, and the chip group which has an intersection in each width of face $d_1 - d_{10}$ is specified to one quantity of light rank. For example, the 14th chip of ultimate lines c_{14} which has an intersection in width of face d_{10} is considered as the quantity of light rank R1. Moreover, the 11th chip and the 12th chip of ultimate lines c_{11} and c_{12} which have an intersection in width of face d_8 , respectively are considered as the same quantity of light rank R3.

[0058] In addition, the quantity of light rank R1 shown in drawing 2 and — are prescribed by predetermined rank width of face with the size of the resistance of the external current-limiting resistance to which the average

quantity of light of all the light emitting devices for every Light Emitting Diode semiconductor chip serves as a predetermined value. Moreover, the nominal resistance shown here is 96 sequences. the initial value (1.0) of "*" which expressed the value of each nominal resistance with $\times 10N$ (integer excluding [N] 0) almost predetermined in each value — receiving — an analogy — a ratio, such as having a coefficient, — it is a sequence of numbers [0059] Similarly, the quantity of light rank division of all other chips (what does not illustrate ultimate lines is included) is carried out. The SLED chip which carried out the quantity of light rank division uses only the thing belonging to the same rank for manufacture of one Light Emitting Diode array luminescence equipment (Light Emitting Diode array head).

[0060] Furthermore, only the resistance which has one kind of nominal 96 sequence resistance according to the quantity of light rank concerned is used for one Light Emitting Diode array luminescence equipment as external current-limiting resistance. For example, nominal resistance uses the resistance which is 221ohms for external current-limiting resistance combined with the 14th chip of the above-mentioned belonging to the quantity of light rank R1. Moreover, nominal resistance uses the resistance which is 232ohms for external current-limiting resistance combined with the 11th chip of the above-mentioned with which each belongs to the quantity of light rank R3, and the 12th chip of the above-mentioned, respectively.

[0061] Thus, since the feature of this operation gestalt can make the same about one Light Emitting Diode array luminescence equipment the resistance of the current-limiting resistance which directs to a resistance mounting machine and does not need to change resistance for every Light Emitting Diode chip by mounting the current-limiting resistance which has the same nominal resistance, respectively to each chip which carried out the quantity of light rank division according to the above, the effect which can improve workability has it. It is not based on the relation between average drive current and external current-limiting resistance, but it becomes unnecessary furthermore, to change resistance for every Light Emitting Diode chip certainly carried within one Light Emitting Diode array luminescence equipment by the time of current-limiting resistance mounting.

[0062] Moreover, apart from an assembly-operation disposition top, two technical problems on the conventional property resulting from the difference difference of the drive current during a chip are solvable.

[0063] That is, about the relation between the external current control resistance of the 96 above-mentioned high sequence of resistance precision, and the average drive current in a chip, homogeneity is comparatively maintained among all SLED chips. therefore, a change according to the drive current difference of luminescence wavelength since all will be driven with the average drive current of predetermined within the limits between each Light Emitting Diode chip carried within one Light Emitting Diode array luminescence equipment when it has the chip property that change of luminescence is mainly governed with drive current — predetermined within the limits — **** — it is [like] controllable Moreover, it can control to make uniform average power consumption of each Light Emitting Diode chip, and the quantity of light unevenness accompanying the exoergic unevenness during a chip can also be suppressed.

[0064] In addition, although the above-mentioned operation gestalt explained Light Emitting Diode array luminescence equipment (luminescence array equipment) and its manufacture method furthermore, the thing for which horizontal scanning which makes two or more light emitting devices emit light according to image data is performed — main scanning direction (the light-emitting-device array direction) and abbreviation — a rotation drive is carried out, using the parallel axis of rotation as the center of rotation — Prepare the photoconductor drum (rotation photo conductor) uniformly charged with the electrification vessel, and a line write-in [optical] is repeated and formed on a photoconductor drum using the Light Emitting Diode array luminescence equipment concerning this invention. the formed line write-in [optical] — a photoconductor drum top — main scanning direction and abbreviation — light scanning can be carried out and an electrostatic latent image can be formed so that it may be displaced relatively and formed in the perpendicular direction of vertical scanning at predetermined speed

[0065] The toner development of this electrostatic latent image is carried out, a toner image can be imprinted on the recording paper conveyed by the well-known conveyance means, the imprinted picture can be fixed by the fixing assembly, and an output picture can be acquired. That is, this invention can be applied to electrophotography recording method image formation equipment, and can be applied also to the light-scanning equipment used for the electrophotography recording method image formation equipment concerned.

[0066]

[Effect of the Invention] As explained above, according to the manufacture method of the luminescence array equipment concerning this invention, and the luminescence array equipment concerned, the light-scanning equipment using the luminescence array equipment concerned, and the image formation equipment using the luminescence array equipment concerned In case current-limiting resistance is mounted, it is not necessary to change resistance for every semiconductor chip carried within one luminescence array equipment. By the time of not being based on the relation between the average drive current of a semiconductor chip, and constant impedance-component resistance, but mounting a constant impedance component, moreover, certainly Since it is not necessary to change resistance for every Light Emitting Diode chip carried within one Light Emitting Diode array luminescence equipment, while being able to improve assembly workability and suppressing change by the drive current difference of luminescence wavelength further at predetermined within the limits Since the quantity of light unevenness accompanying the exoergic unevenness during a chip can be suppressed, there is an effect which can form a uniform and high-definition picture.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is explanatory drawing of 1 operation gestalt of the Light Emitting Diode array luminescence equipment (luminescence array equipment) concerning this invention, and its manufacture method.

[Drawing 2] They are the Light Emitting Diode array luminescence equipment (luminescence array equipment) concerning this invention, and another explanatory drawing of 1 operation gestalt of the manufacture method.

[Drawing 3] It is the circuit diagram showing an example of the basic composition of the conventional self-scan type Light Emitting Diode array (SLED).

[Drawing 4] It is the timing chart of an example of the control signal for controlling the conventional SLED.

[Drawing 5] It is the circuit diagram showing the general equal circuit of SLED.

[Drawing 6] It is a property view explaining an example of drive current dispersion in the conventional SLED.

[Drawing 7] It is another property view explaining an example of drive current dispersion in the conventional SLED.

[Drawing 8] It is a property view explaining an example of the amount dispersion of luminescence in the conventional SLED.

[Drawing 9] It is another property view which explains an example of the amount dispersion of luminescence in SLED conventionally.

[Drawing 10] When manufacturing Light Emitting Diode array luminescence equipment using the conventional SLED, it is a property view explaining an example of the process which computes average drive current.

[Drawing 11] When manufacturing Light Emitting Diode array luminescence equipment using the conventional SLED, it is a property view explaining an example of the process which computes the value of external current-limiting resistance.

[Drawing 12] It is the external view showing an example of the mounting composition of the conventional SLED array head.

[Description of Notations]

51 Thyristor Equal Circuit for Luminescence

52 Driver-IC Equal Circuit

1211 SLED Semiconductor Chip

1212 Base Substrate

1213 Connector

1214 Lighting Control Circuit (Driver IC)

1215 Bonding Wire

1216 Positive-Electrode Side Power Supply Pattern

1217 Silver Paste

1231 Power Cable

1232 Power Circuit

Df Diode

SL1-SL5 Thyristor for luminescence

R1 Thyristor internal resistance

R2 Current-limiting resistance

ST1-ST5 Thyristor for a transfer

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-38960

(P2001-38960A)

(43) 公開日 平成13年2月13日 (2001.2.13)

(51) Int.Cl.⁷ 識別記号

B 4 1 J 2/44

2/45

2/455

G 0 9 F 9/33

H 0 1 L 33/00

F I

B 4 1 J 3/21

G 0 9 F 9/33

H 0 1 L 33/00

テマコード(参考)

L 2 C 1 6 2

M 5 C 0 9 4

J 5 F 0 4 1

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平11-218115

(22) 出願日 平成11年7月30日 (1999.7.30)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 関谷 利幸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 白石 光生

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100077481

弁理士 谷 義一 (外1名)

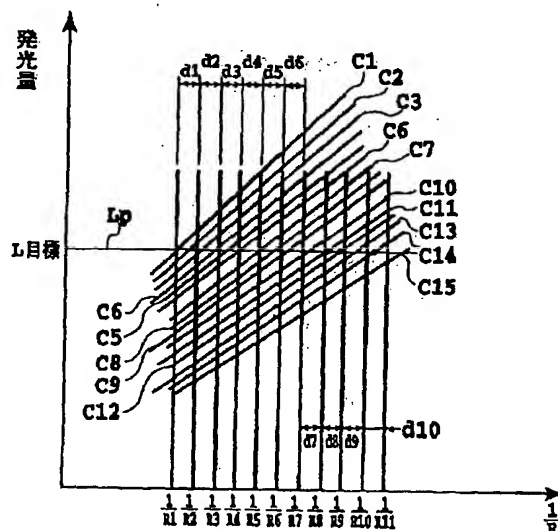
最終頁に続く

(54) 【発明の名称】 発光アレー装置、その製造方法、光走査装置、および画像形成装置

(57) 【要約】

【課題】 電子写真記録方式画像形成装置に用いられる発光アレー装置、その製造方法、当該発光アレー装置を用いた光走査装置、当該発光アレー装置を用いた画像形成装置に関し、市販抵抗を用いる場合の組立作業性の課題とチップ間の駆動電流の相違により生じる特性上の課題を解決する。

【解決手段】 要求される発光量値L目標の直線Lpと各チップの特性線c1～c15の交点の横軸座標値が示す値が各チップによりL目標の発光量を得るために必要な外部電流制限抵抗値の逆数となる。第1チップの特性線c1の交点座標値は1/R1の値とほぼ一致する。他のチップの交点座標値は抵抗逆数値1/R1～1/R11のいずれとも一致せず、これら交点は同一幅のd1～d10内にある。Rの次元で公称96系列の市販抵抗値をベースに抵抗値の範囲を区切り、各幅d1～d10内に交点をもつチップ群を一つの光量ランクに規定し、同一ランクのものを一台の装置に使用する。



【特許請求の範囲】

【請求項1】 複数の発光素子を所定方向に配列された半導体チップを複数、基板上にほぼ前記所定方向に配列され、各半導体チップにそれぞれ定インピーダンス素子を介して供給される駆動電流にしたがって前記各半導体チップの前記複数の発光素子を発光させる発光アレー装置において、

前記基板上の前記各半導体チップの前記複数の発光素子の所定レベルの駆動電流に対する平均発光量は所定光量幅とされ、

前記定インピーダンス素子は、前記平均発光量に応じた同一公称抵抗値をもつことを特徴とする発光アレー装置。

【請求項2】 請求項1において、

前記基板上の前記各半導体チップの前記複数の発光素子の前記平均発光量は、前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅でほぼ所望値とされることを特徴とする発光アレー装置。

【請求項3】 請求項1または2において、

前記定インピーダンス素子は所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成し、前記複数の公称抵抗値に前記同一公称抵抗値を含むことを特徴とする発光アレー装置。

【請求項4】 複数の発光素子を所定方向に配列された半導体チップを所定レベルの駆動電流で駆動して前記複数の発光素子をすべて発光させ、当該チップ毎の平均発光量にしたがって複数の半導体チップを所定光量幅で複数ランクにランク分けするランク分けステップと、

前記複数の半導体チップのうち同一ランクに属する半導体チップを選択し、基板上にほぼ前記所定方向に配列させる選択配列ステップと、

前記同一ランクに属する各半導体チップの一端に、当該ランクに応じた同一公称抵抗値の定インピーダンス素子を接続する接続ステップとを含むことを特徴とする発光アレー装置の製造方法。

【請求項5】 請求項4において、

前記ランク分けステップにおいて、前記平均発光量をほぼ所望値とする前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅で、前記複数の半導体チップをランク分けすることを特徴とする発光アレー装置の製造方法。

【請求項6】 請求項4または5において、

前記接続ステップに先だって、所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成する前記定インピーダンス素子から、前記同一公称抵抗値のものを選択するステップをさらに含むことを特徴とする発光アレー装置の製造方法。

【請求項7】 複数の発光素子を所定方向に配列された半導体チップを複数、基板上にほぼ前記所定方向に配列

され、各半導体チップにそれぞれ定インピーダンス素子を介して供給される駆動電流にしたがって前記各半導体チップの前記複数の発光素子を発光させる発光アレー装置と、

前記複数の発光素子を画像データに応じて発光させる主走査を行うことで前記主走査方向と略平行な回転軸を回転中心として回転駆動される回転感光体上に光書き込みラインを繰り返し形成する手段であって、前記形成した光書き込みラインが前記回転感光体上で前記主走査方向と略垂直な副走査方向に所定速度で相対移動して形成されるように光走査する走査手段とを備えた光走査装置において、

前記基板上の前記各半導体チップの前記複数の発光素子の所定レベルの駆動電流に対する平均発光量は所定光量幅とされ、

前記定インピーダンス素子は、前記平均発光量に応じた同一公称抵抗値をもつことを特徴とする光走査装置。

【請求項8】 請求項7において、

前記基板上の前記各半導体チップの前記複数の発光素子の前記平均発光量は、前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅でほぼ所望値とされることを特徴とする光走査装置。

【請求項9】 請求項7または8において、

前記定インピーダンス素子は所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成し、前記複数の公称抵抗値に前記同一公称抵抗値を含むことを特徴とする光走査装置。

【請求項10】 請求項7乃至9のいずれかに記載の光走査装置と、

前記回転感光体上に繰り返し形成された前記光書き込みラインにしたがって可視像を形成する像形成手段とを備えたことを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は発光アレー装置、その製造方法、光走査装置、および画像形成装置に関し、特に、特に、電子写真記録方式により記録媒体に永久可視像を形成するための記録用発光素子として用いられる発光アレー装置、当該発光アレー装置の製造方法、当該発光アレー装置を用いた光走査装置、および当該発光アレー装置を用いた画像形成装置に関する。

【0002】

【従来の技術】従来、SLED（自己走査型LEDアレー：以後SLEDと呼ぶ）は、特開平1-238962号公報、特開平2-208067号公報、特開平2-212170号公報、特開平3-20457号公報、特開平3-194978号公報、特開平4-5872号公報、特開平4-23367号公報、特開平4-296579号公報、特開平5-84971号公報、およびジャパンハードコピー'91（A-17）駆動回路を集積し

た光プリンタ用発光素子アレイの提案、電子情報通信学会('90. 3. 5) PNPサイリスタ構造を用いた自己走査型発光素子(SLED)の提案等で紹介されており、電子写真方式画像形成装置の記録用発光素子として注目されている。

【0003】図3にこのSLEDの一例を示し、その動作について説明する。

【0004】SLEDは図3に示すように転送用のサイリスタST1~ST5がカスケードに接続されたものと、発光用サイリスタSL1~SL5がカスケードに接続されたものを備えている。それぞれのサイリスタのゲート信号は図示のように共通とされ、1番目のサイリスタSL1、ST1のゲートはΦSの信号入力部に接続される。2番目のサイリスタSL2、ST2のゲートはΦSの端子に接続されたダイオードのカソードに接続されて、3番目のサイリスタSL3、ST3のゲートは次のダイオードのカソードに接続される、と言うように構成されている。

【0005】図4は上記のSLEDを制御するためのコントロール信号とサイリスタのオン/オフを示すタイミング・チャートであり、全素子を点灯する場合の例を示す。図4のタイミング・チャートにしたがい転送および発光について説明する。

【0006】転送は、ΦS(図4(A))を0Vから5Vに変化させることにより開始する。ΦSが5Vになることにより、 $V_a=5V$ 、 $V_b=3.7V$ (ダイオードの順方向電圧降下を1.3Vとする)、 $V_c=2.4V$ 、 $V_d=1.1V$ 、 V_e 以降は0Vとなる。転送用サイリスタST1のゲート電圧は0Vから5Vに、転送用サイリスタST2のゲート電圧は0Vから3.7Vに、以下同様にゲート電圧が変化する。

【0007】この状態でΦ1(図4(B))を5Vから0Vにすることで転送用サイリスタST1の各端電位はアノード:5V、カソード:0V、ゲート:3.7Vとなり、サイリスタのオン条件を満たす。転送用サイリスタST1がオンすると、この状態でΦSを0Vに変化させてもサイリスタST1はオン状態であり、 $V_a=5V$ に維持される。この理由は、ΦSは抵抗(図示せず)を介して印加されていることと、サイリスタはオンするとアノード・ゲート間の電位がほぼ等しくなることによる。

【0008】このため、ΦSを0Vにしても1番目のサイリスタのオン条件が保持され、1番目のシフト動作が完了する。この状態で発光用サイリスタ用のΦI信号(図4(D))を5Vから0Vにすると、転送用サイリスタがオンした条件と同じになるため発光用サイリスタSL1がオンして、1番目のLEDが点灯することになる。1番目のLEDはΦIを5Vに戻すことにより発光用サイリスタのアノード・カソード間の電位差が無くなりサイリスタの最低保持電流を流せなくなるため発光用

サイリスタSL1はオフする。

【0009】次に、ST1からST2へのサイリスタのオン条件転送について説明する。

【0010】発光用サイリスタSL1がオフしてもΦ1が0Vのままなので、転送用サイリスタST1はオンしたまま転送用サイリスタST1のゲート電圧は $V_a=5V$ であり、 $V_b=3.7V$ である。この状態でΦ2(図4(C))を5Vから0Vに変化させることにより、転送用サイリスタST2の電位はアノード:5V、カソード:0V、ゲート:3.7Vとなる。これにより転送用サイリスタST2はオンする。転送用サイリスタST2がオンした後にΦ1を0Vから5Vに変化させることにより、転送用サイリスタは発光用サイリスタSL1がオフしたのと同様にオフする。

【0011】こうして、転送用サイリスタのオンはST1からST2にシフトする。そして、ΦIを5Vから0Vにすると、発光用サイリスタ2がオンし発光する。なお、オンしている転送用サイリスタに対応する発光用サイリスタのみ発光できる理由は、転送用サイリスタがオンしていない場合、オンしているサイリスタの隣のサイリスタを除いてゲート電圧が0Vであるためサイリスタのオン条件とならないからである。隣のサイリスタについても発光用サイリスタがオンすることによりΦIの電位は3.4V(発光用サイリスタの順方向電圧降下分)となるため、隣のサイリスタは、ゲート・カソード間の電位差がないためオンすることができない。

【0012】なお、上述でΦIを0Vとすることにより、発光用サイリスタがオンとなり発光すると述べたが、実際の画像形成動作においては当然、そのタイミングで実際に発光させるかさせないかを画像データに対応させて制御する必要がある。図4(E)の画像データDp、図4(F)のΦDはこれを示す信号で、SLEDのΦI端子には、外部においてΦIと画像データDpの論理和を取り、画像データDpが0Vの場合のみ、実際にSLEDのΦI端子が0Vになり発光し、画像データDpが5Vの場合はSLEDのΦI端子が5Vのままとなって発光しないようになっている。

【0013】一つのSLEDチップは図3に示したような構成で、例えば主走査方向に配列された128個の発光用サイリスタを備え、当該発光用サイリスタは図4とともに説明した通り転送用サイリスタにより選択的に順次点灯制御される。

【0014】各発光画素の駆動時(発光用サイリスタオン時)の等価回路は図5に示される。図5において、51は発光用サイリスタの等価回路を示し、等価回路51は順方向降下電圧を生ずるダイオードDfとサイリスタ内部抵抗R1の直列回路である。52はドライバIC(ドライバ)の等価回路であり、ドライブ・トランジスタQを含む。等価回路51と52の間に電流制限抵抗R2が備えられ、ドライブ・トランジスタQによる出力電

流を制限する。電流制限抵抗 R_2 は、ドライバ5 2内に備えてもよい。

【0015】発光用サイリスタに供給される駆動電流 I_d は、電源電圧、たとえば5Vから発光用サイリスタの等価回路5 1内のダイオード D_f による順方向電圧降下 V_f を差し引いた電圧 $(5-V_f)$ を外部の電流制限抵抗値およびサイリスタ内部抵抗値の和 (R_1+R_2) で割ったものとなる。したがって、一つのSLEDチップ内でも各発光画素の順方向電圧降下量 V_f および内部抵抗値 R_1 がばらつけば、そのばらつきに応じて駆動電流 I_d も変動する。

【0016】発光用サイリスタの駆動電流ばらつきの一例を図6および図7に示す。

【0017】図6は発光画素（発光用サイリスタ）の配列位置と各発光画素の駆動電流の関係を、一例として3個目のSLEDチップまで示している。図6において、横軸が各SLEDチップの各発光画素の画素配列位置を示し、縦軸はこれらに対応した駆動電流を示す。図6に示した関係は、複数SLEDチップのそれぞれの ΦI を駆動するドライバの出力に全て同一抵抗値 $(R_a \Omega)$ の電流制限抵抗をつけた場合を示す。

【0018】ここで、チップ1内の各発光画素駆動電流は I_1 の範囲内でばらつき、チップ2内の各発光画素駆動電流は I_2 の範囲内でばらつき、チップ3内の各発光画素駆動電流は I_3 の範囲内でばらついている。これらのうちで I_3 が最も大きいとしても、チップ2内の駆動電流の平均値とチップ1内の駆動電流の平均値の差 $\Delta 1$ は I_3 より大きく、また、チップ1内の駆動電流の平均値とチップ2内の駆動電流の平均値の差 $\Delta 2$ は I_3 より大きい。

【0019】このように、一つのSLEDチップにおける順方向電圧降下量と内部抵抗値の発光画素間ばらつき（すなわち、駆動電流ばらつき）は、異なるSLEDチップ間の順方向電圧降下量平均値と内部抵抗平均値のばらつきに比べれば、一般に低くなる。

【0020】図7は各SLEDチップの各発光画素の電流制限抵抗の逆数（横軸 $1/R$ ）と駆動電流（縦軸）の関係を、一例として3個目のSLEDチップまで示したものであり、異なるSLEDチップ間のばらつきがチップ内ばらつきより大きいという上述した一般的特性を同様に示している。

【0021】すなわち、電流制限抵抗の逆数が平均値 $1/R_a$ のときの各SLEDチップ内ばらつき範囲 I_1 、 I_2 、 I_3 および異チップ間ばらつき $\Delta 1$ 、 $\Delta 2$ は上記特性を示しており、当該逆数が平均値から増大して駆動電流も増大するに従い、これらばらつきが増大する。

【0022】次に、発光用サイリスタの発光量ばらつきの一例を図8および図9に示す。

【0023】図8は発光画素（発光用サイリスタ）の配列位置と各発光画素の発光量の関係を、一例として3個

目のSLEDチップまで示している。図6において、横軸が各SLEDチップの各発光画素の画素配列位置を示し、縦軸はこれらに対応した発光量を示す。図8に示した関係は、複数SLEDチップのそれぞれの ΦI を理想的な定電流回路で定電流（図9に示す電流値 I_a ）駆動した場合を示す。

【0024】ここで、チップ1内の各発光画素発光量は L_1 の範囲内でばらつき、チップ2内の各発光画素発光量は L_2 の範囲内でばらつき、チップ3内の各発光画素発光量は L_3 の範囲内でばらついている。これらのうちで L_1 が最も大きいとしても、チップ2内の発光量の平均値とチップ1内の発光量の平均値の差 $\delta 1$ は L_1 より大きく、また、チップ2内の発光量の平均値とチップ2内の発光量の平均値の差 $\delta 2$ は L_1 より大きい。

【0025】このように、駆動電流一定とした場合の一つのSLEDチップにおける発光量の各画素間ばらつきは、異なるSLEDチップ間の発光量平均値の各画素間ばらつきに比べれば、一般に低くなる。

【0026】図9は各SLEDチップの各発光画素の駆動電流（横軸）と発光量（縦軸）の関係を、一例として3個目のSLEDチップまで示したもので、駆動電流が I_a のときに図8に対応する。

【0027】ここで、駆動電流値が増大するに従い、各SLEDチップ内ばらつき範囲 L_1 、 L_2 、 L_3 および異チップ間ばらつき $\delta 1$ 、 $\delta 2$ が増大する。

【0028】上記したばらつきによる影響を抑えて各SLEDチップ間の平均光量の差を所定の範囲内に制限したLEDアレー発光装置を製造するために、従来は、図10および図11を参照して次に説明する方法が採られていた。図10および図11は、一例としてSLEDチップが3個の例を示している。

【0029】図10において縦軸は平均光量 $(\angle L)$ を示し、横軸は平均駆動電流 $(\angle I)$ を示す。まず一つのLEDアレー発光装置に搭載する各SLEDチップについて、チップ1、2、3内それぞれの平均駆動電流対平均光量の関係にしたがって、目標とする所定平均光量値 $(\angle L_{\text{目標}})$ が得られる平均駆動電流 $\angle I_1$ 、 $\angle I_2$ 、 $\angle I_3$ を演算により求める。

【0030】一方、図11において縦軸は平均駆動電流 $(\angle I)$ を示し、横軸は外部の電流制限抵抗の逆数 $(1/R)$ を示す。上記平均駆動電流の算出に続いて、図11に示した平均駆動電流対外部抵抗値の関係にしたがって、算出された各平均駆動電流 $\angle I_1$ 、 $\angle I_2$ 、 $\angle I_3$ が得られるような外部抵抗値の逆数 $1/R_1$ 、 $1/R_2$ 、 $1/R_3$ がチップ1、2、3についてそれぞれ演算により求められる。

【0031】LEDアレー発光装置に実装する電流制限抵抗としては、上記の方法に従って算出された逆数を実現する抵抗値に最も公称値に近い抵抗を、市販の24系列（24シリーズ）、96系列（96シリーズ）等の抵

抗製品から選択して用いる。24系列、96系列等は周知の通り、抵抗値が $* * \times 10^N$ (N は0を除く整数)で表され、“*”の値として24種の異なる値、または96種の異なる値をとるものである。

【0032】続いて、SLEDアレー・ヘッドの構成方法について、図12に示すヘッドの外観図を参照して説明する。

【0033】ガラスエポキシ材、セラミック材などのプリント配線板を用いたベース基板1212には、SLED半導体チップ(半導体SLEDチップ)1211が搭載される。点灯制御回路(ドライバIC)1214は、外部からの制御信号を供給され、SLED半導体チップ1211の点灯制御信号を発生する。コネクタ1213より外部からの制御信号を入力し、また、電源ケーブル1231を介して電源回路1232から電源を入力し、それぞれを各半導体に供給する。

【0034】SLED半導体チップ1211にはボンディング・ワイア1215が接続され、これにより、ドライバIC1214からの出力信号 $\Phi 1$ 、 $\Phi 2$ 、 ΦS 、 ΦI および負極側電源(この例ではGND)をそれぞれ入力する。1216はベース基板1212に引かれた正極側電源パターン(この例では+5V)を示す。1217は、正極側電源パターン1216とSLED半導体チップ1211の裏面電極との間の電気的導電をとり、かつ接着固定するための銀ペーストを示す。

【0035】

【発明が解決しようとする課題】しかしながら、上述のように単にLED半導体チップおよびそれらチップに対応する電流制限抵抗値を市販の抵抗製品(公称抵抗値が例えば24系列、97系列)のなかから最近接値のものを個別に選択して組み合わせて実装する場合は、製造工程において、各ヘッドごとにLEDチップ、電流制限抵抗を個別に対応させて確実に組み合わせるしくみが必要であった。

【0036】たとえば、始めにLED半導体チップを任意にヘッドに搭載した後で、そのLEDチップに対応させて各電流制限抵抗を選択的に実装していく際に、各LED半導体チップに対応した電流制限抵抗値を毎回抵抗実装機に指示することをヘッドごとに行う必要があり、作業性の低下を招来することがあるという課題があった。

【0037】また、以上のような組立作業性の課題とは別に特性上の課題もあった。すなわち、各々のチップの特性に合わせた抵抗値の電流制限抵抗を選択的に対応させて実装するしくみで製造したLEDアレー発光装置は、光量が一定化される一方で駆動電流がチップ間で大きく異なる場合が発生し、チップ間の駆動電流の相違が次のような2つの特性上の課題を生じていた。

【0038】第1に、発光波長は駆動電流によって変動するため、駆動電流の適正化で発光量が一定化されていても、チップ間の駆動電流の相違が大きいとチップ間で

発光波長が変化してしまう。したがって、LEDアレー発光装置を電子写真方式画像形成装置の書き込み手段として用いると、感光体ドラムの感度波長特性上、発光波長変化量が無視できないときには、発光量が一定化されているにもかかわらず出力画像特性がチップ間で不均一なものになってしまう。

【0039】第2に、チップ間の駆動電流の違いが大きいと、チップ間で発熱量の差が発生する。発熱に伴い光量は一般に低下するが、発熱量の差に応じて光量変動量にも差が生じる。このため、チップ間の駆動電流の違いが大きい場合に、結果的にチップ間で発光量に差が生じる。

【0040】そこで、本発明は以上のような課題を解決するためになされたものであって、市販の抵抗製品を選択して用いる場合の組立作業性の課題と、チップ間の駆動電流の相違により生じる上記2つの課題を解決することのできる発光アレー装置、当該発光アレー装置の製造方法、当該発光アレー装置を用いた光走査装置、および当該発光アレー装置を用いた画像形成装置を提供することを目的とする。

【0041】

【課題を解決するための手段】上記の課題を解決するために請求項1の発明は、複数の発光素子を所定方向に配列された半導体チップを複数、基板上にほぼ前記所定方向に配列され、各半導体チップにそれぞれ定インピーダンス素子を介して供給される駆動電流にしたがって前記各半導体チップの前記複数の発光素子を発光させる発光アレー装置において、前記基板上の前記各半導体チップの前記複数の発光素子の所定レベルの駆動電流に対する平均発光量は所定光量幅とされ、前記定インピーダンス素子は、前記平均発光量に応じた同一公称抵抗値をもつ発光アレー装置を提供する。

【0042】また、請求項2に記載の発明は、請求項1において、前記基板上の前記各半導体チップの前記複数の発光素子の前記平均発光量は、前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅でほぼ所望値とされる発光アレー装置を提供する。

【0043】また、請求項3に記載の発明は、請求項1または2において、前記定インピーダンス素子は所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成し、前記複数の公称抵抗値に前記同一公称抵抗値を含む発光アレー装置を提供する。

【0044】また、請求項4に記載の発明は、複数の発光素子を所定方向に配列された半導体チップを所定レベルの駆動電流で駆動して前記複数の発光素子をすべて発光させ、当該チップ毎の平均発光量にしたがって複数の半導体チップを所定光量幅で複数ランクにランク分けするランク分けステップと、前記複数の半導体チップのうち同一ランクに属する半導体チップを選択し、基板上に

ほぼ前記所定方向に配列させる選択配列ステップと、前記同一ランクに属する各半導体チップの一端に、当該ランクに応じた同一公称抵抗値の定インピーダンス素子を接続する接続ステップとを含む発光アレー装置の製造方法を提供する。

【0045】また、請求項5に記載の発明は、請求項4において、前記ランク分けステップにおいて、前記平均発光量をほぼ所望値とする前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅で、前記複数の半導体チップをランク分けする発光アレー装置の製造方法を提供する。

【0046】また、請求項6に記載の発明は、請求項4または5において、前記接続ステップに先だて、所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成する前記定インピーダンス素子から、前記同一公称抵抗値のものを選択するステップをさらに含む発光アレー装置の製造方法を提供する。

【0047】また、請求項7に記載の発明は、複数の発光素子を所定方向に配列された半導体チップを複数、基板上にほぼ前記所定方向に配列され、各半導体チップにそれぞれ定インピーダンス素子を介して供給される駆動電流にしたがって前記各半導体チップの前記複数の発光素子を発光させる発光アレー装置と、前記複数の発光素子を画像データに応じて発光させる主走査を行うことで前記主走査方向と略平行な回転軸を回転中心として回転駆動される回転感光体上に光書き込みラインを繰り返し形成する手段であって、前記形成した光書き込みラインが前記回転感光体上で前記主走査方向と略垂直な副走査方向に所定速度で相対移動して形成されるように光走査する走査手段とを備えた光走査装置において、前記基板上の前記各半導体チップの前記複数の発光素子の所定レベルの駆動電流に対する平均発光量は所定光量幅とされ、前記定インピーダンス素子は、前記平均発光量に応じた同一公称抵抗値をもつ光走査装置を提供する。

【0048】また、請求項8に記載の発明は、請求項7において、前記基板上の前記各半導体チップの前記複数の発光素子の前記平均発光量は、前記定インピーダンス素子の抵抗値にしたがった前記所定光量幅でほぼ所望値とされる光走査装置を提供する。

【0049】また、請求項9に記載の発明は、請求項7または8において、前記定インピーダンス素子は所定の初期値および前記初期値に対して等比係数を持つ等比数列に基づいた複数の公称抵抗値を構成し、前記複数の公称抵抗値に前記同一公称抵抗値を含む光走査装置を提供する。

【0050】また、請求項10に記載の発明は、請求項7乃至9のいずれかに記載の光走査装置と、前記回転感光体上に繰り返し形成された前記光書き込みラインにしたがって可視像を形成する像形成手段とを備えた画像形

成装置を提供する。

【0051】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0052】本発明に係る実施形態では、各LED半導体チップを所定の平均駆動電流時のチップ内全発光素子の平均光量にもとづいてLED半導体チップごとに所定のランク幅で光量ランク分けし、一つのLEDアレー発光装置内にはすべて同一光量ランクにランク分けされたLED半導体チップを配列するようにした。さらに、それら各LED半導体チップには、全て光量ランクに応じた同一公称抵抗値をもつ外部電流制限抵抗（図5のR2）を接続するように、LED半導体チップと外部電流制限抵抗を組み合わせて製造するようにした。

【0053】図1の特性図を参照して本発明に係るLEDアレー発光装置およびその製造方法の実施形態について具体的に説明する。

【0054】図1は各チップの外部電流制限抵抗の抵抗値の逆数（横軸 $1/R$ ）とチップ内平均光量の関係を、様々なチップについて模式的に直線状に示した特性図である。この特性図は、所定の平均駆動電流時のチップ内全発光素子の平均光量にもとづいてLED半導体チップごとに求めておく。横軸には、一定の幅で抵抗逆数値 $1/R_1 \sim 1/R_{11}$ を付してある。

【0055】この関係図において、LEDアレー発光装置として要求される発光量の値をL目標とする。このときに、SLEDチップが15個とすると、各チップの特性線 $c_1 \sim c_{15}$ と、発光量 $L=L$ 目標の直線 L_p との交点の横軸座標値が示す値（ $1/R$ ）が各チップによりL目標の発光量を得るために必要な外部電流制限抵抗値の逆数となる。

【0056】例えば、第1チップの特性線 c_1 の交点座標値は $1/R_1$ の値とほぼ一致する。しかし、他のチップ（特性線 $c_1 \sim c_{15}$ で示される）の交点座標値は抵抗逆数値 $1/R_1 \sim 1/R_{11}$ のいずれとも一致せず、これら交点は幅 $d_1 \sim d_{10}$ 内にある。各幅は同一幅とする。

【0057】そこで、Rの次元で公称96系列の市販抵抗値をベースに図2のように抵抗値の範囲を区切り、各幅 $d_1 \sim d_{10}$ 内に交点をもつチップ群を一つの光量ランクに規定する。例えば、幅 d_{10} 内に交点を持つ特性線 c_{14} の第14チップは、光量ランクR1とする。また、幅 d_8 内にそれぞれ交点を持つ特性線 c_{11} と c_{12} の第11チップと第12チップは、同一の光量ランクR3とする。

【0058】なお、図2に示した光量ランクR1、…は、各LED半導体チップごとの全発光素子の平均光量が所定の値となる外部電流制限抵抗の抵抗値の大きさによって所定のランク幅で規定されている。また、ここに示す公称抵抗値は96系列である。各公称抵抗値の値

は、 $** \times 10^N$ (N は0を除く整数)で表した“*”の各値が、ほぼ、所定の初期値(1.0)に対して等比係数を持つ等比数列となっている。

【0059】同様に、他のチップ(特性線を図示しないものも含む)もすべて光量ランク分けする。光量ランク分けしたSLEDチップは、同一ランクに属するものだけを一つのLEDアレー発光装置(LEDアレーヘッド)の製造に使用する。

【0060】さらに、一つのLEDアレー発光装置には、当該光量ランクに応じて種類の公称96系列抵抗値をもつ抵抗のみを外部電流制限抵抗として使用する。例えば、光量ランクR1に属する前述第14チップに組み合わせる外部電流制限抵抗には、公称抵抗値が221Ωの抵抗を用いる。また、それぞれが光量ランクR3に属する前述第11チップと前述第12チップに組み合わせる外部電流制限抵抗には、それぞれ公称抵抗値が232Ωの抵抗を用いる。

【0061】このように本実施形態の特徴は、上記にしたがい光量ランク分けした各チップに対して、それぞれ同一公称抵抗値を持つ電流制限抵抗を実装することで、抵抗実装機に指示する電流制限抵抗の抵抗値を一つのLEDアレー発光装置について同一とすることができ、LEDチップごとに抵抗値を切り替える必要がないために作業性を向上できる効果がある。さらに、平均駆動電流と外部電流制限抵抗値との関係によらず、電流制限抵抗実装時により確実に、一つのLEDアレー発光装置内で搭載されたLEDチップごとに抵抗値を切り替える必要がなくなる。

【0062】また、組立作業性向上とは別に、チップ間の駆動電流の違いに起因した従来の特性上の2つの課題を解決することができる。

【0063】すなわち、抵抗値精度の高い上記96系列の外部電流制御抵抗値とチップ内平均駆動電流の関係については全てのSLEDチップ間で比較的均一性が保たれる。したがって、発光の変化が主に駆動電流で支配されているようなチップ特性をもつ場合には、1つのLEDアレー発光装置内では搭載された各LEDチップ間で全て所定範囲内の平均駆動電流で駆動されることになるため、発光波長の駆動電流差による変動を所定範囲内に抑えるように制御できる。また、各SLEDチップの平均的消費電力を均一とするように制御でき、チップ間の発熱むらに伴う光量むらを抑制することもできる。

【0064】なお、上記実施形態ではLEDアレー発光装置(発光アレー装置)およびその製造方法について説明したが、さらに、複数の発光素子を画像データに応じて発光させる主走査を行うことで主走査方向(発光素子配列方向)と略平行な回転軸を回転中心として回転駆動される、帯電器で一樣に帯電された感光ドラム(回転感光体)を設け、本発明に係るLEDアレー発光装置を用いて感光ドラム上に光書き込みラインを繰り返し形成

し、形成した光書き込みラインが感光ドラム上で主走査方向と略垂直な副走査方向に所定速度で相対移動して形成されるように光走査して静電潜像を形成することができる。

【0065】この静電潜像を、トナー現像し、周知の搬送手段により搬送される記録紙等にトナー像を転写し、転写された画像を定着器で定着させて出力画像を得ることができる。すなわち、本発明は、電子写真記録方式画像形成装置に適用することができ、当該電子写真記録方式画像形成装置に用いる光走査装置にも適用することができる。

【0066】

【発明の効果】以上説明したように、本発明に係る発光アレー装置、当該発光アレー装置の製造方法、当該発光アレー装置を用いた光走査装置、および当該発光アレー装置を用いた画像形成装置によれば、電流制限抵抗を実装する際には、一つの発光アレー装置内で搭載された半導体チップごとに抵抗値を切り替える必要がなく、また半導体チップの平均駆動電流と定インピーダンス素子抵抗値との関係によらず定インピーダンス素子を実装する際により確実に、一つのLEDアレー発光装置内で搭載されたLEDチップごとに抵抗値を切り替える必要がないので組み立て作業性を向上でき、さらに、発光波長の駆動電流差による変動が所定範囲内に抑えられるとともに、チップ間の発熱むらに伴う光量むらを抑制できるので、均一で高品位の画像を形成できる効果がある。

【図面の簡単な説明】

【図1】本発明に係るLEDアレー発光装置(発光アレー装置)およびその製造方法の一実施形態の説明図である。

【図2】本発明に係るLEDアレー発光装置(発光アレー装置)およびその製造方法の一実施形態の別の説明図である。

【図3】従来の自己走査型LEDアレー(SLED)の基本構成の一例を示す回路図である。

【図4】従来のSLEDを制御するためのコントロール信号の一例のタイミング・チャートである。

【図5】SLEDの一般的な等価回路を示す回路図である。

【図6】従来のSLEDにおける駆動電流ばらつきの一例を説明する特性図である。

【図7】従来のSLEDにおける駆動電流ばらつきの一例を説明する別の特性図である。

【図8】従来のSLEDにおける発光量ばらつきの一例を説明する特性図である。

【図9】従来のSLEDにおける発光量ばらつきの一例を説明する別の特性図である。

【図10】従来のSLEDを用いてLEDアレー発光装置を製造するときに平均駆動電流を算出する過程の一例を説明する特性図である。

【図11】従来のSLEDを用いてLEDアレー発光装置を製造するときに外部の電流制限抵抗の値を算出する過程の一例を説明する特性図である。

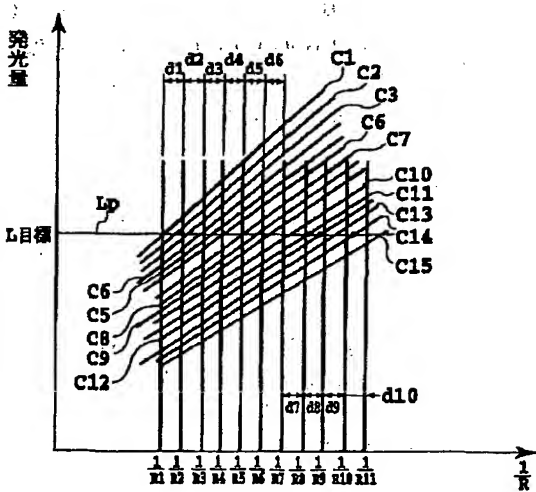
【図12】従来のSLEDアレー・ヘッドの実装構成の一例を示す外観図である。

【符号の説明】

- 51 発光用サイリスタ等価回路
- 52 ドライバIC等価回路
- 1211 SLED半導体チップ
- 1212 ベース基板
- 1213 コネクタ

- 1214 点灯制御回路(ドライバIC)
- 1215 ボンディング・ワイヤ
- 1216 正極側電源パターン
- 1217 銀ペースト
- 1231 電源ケーブル
- 1232 電源回路
- Df ダイオード
- SL1~SL5 発光用サイリスタ
- R1 サイリスタ内部抵抗
- R2 電流制限抵抗
- ST1~ST5 転送用サイリスタ

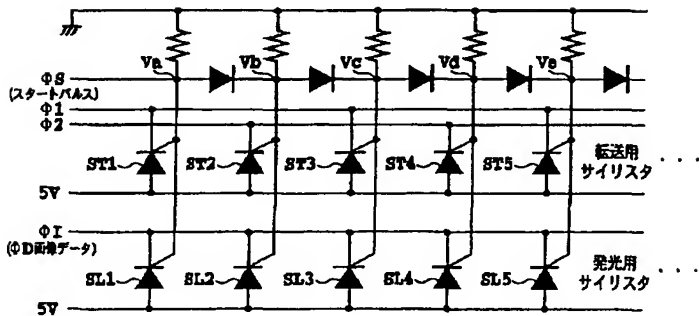
【図1】



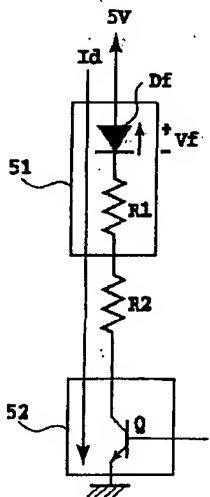
【図2】

光量ランク	抵抗値範囲		公称抵抗値
	$\leq R$	$R >$	
...
R1	218	223.5	221
R2	223.5	229	226
R3	229	234.5	232
R4	234.5	240	237
R5	240	246	243
R6	246	252	249
...

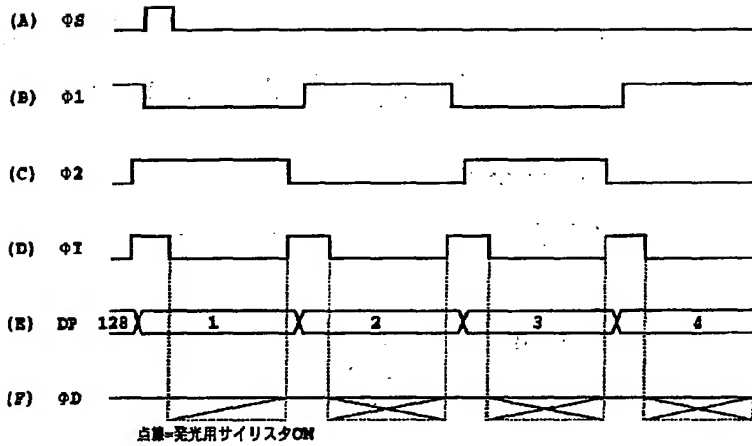
【図3】



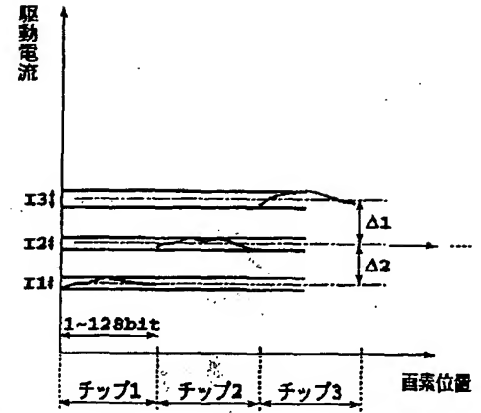
【図5】



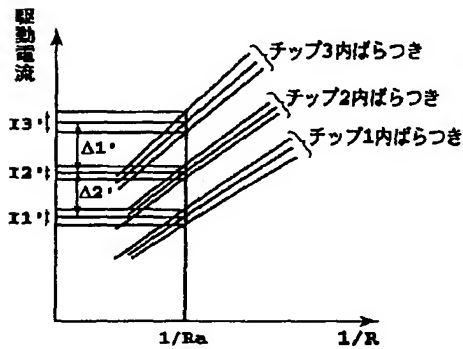
【図4】



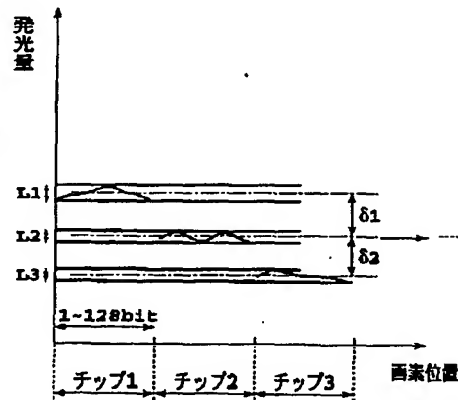
【図6】



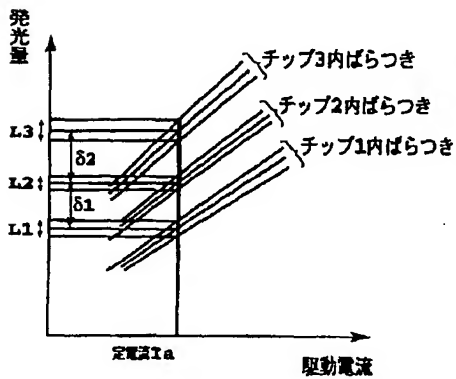
【図7】



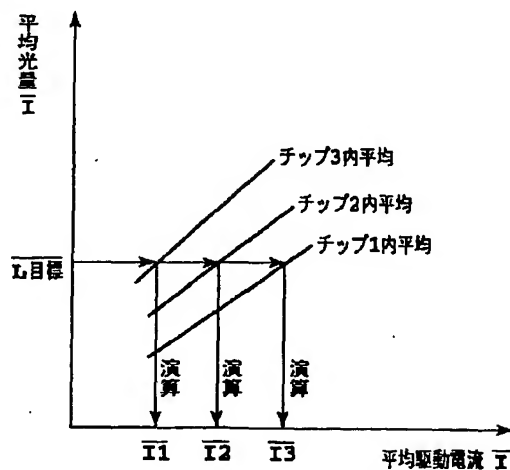
【図8】



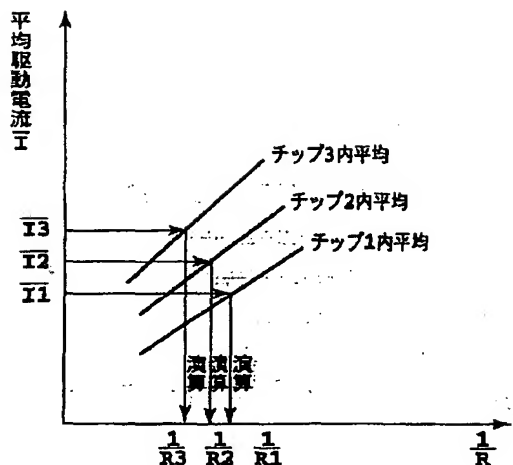
【図9】



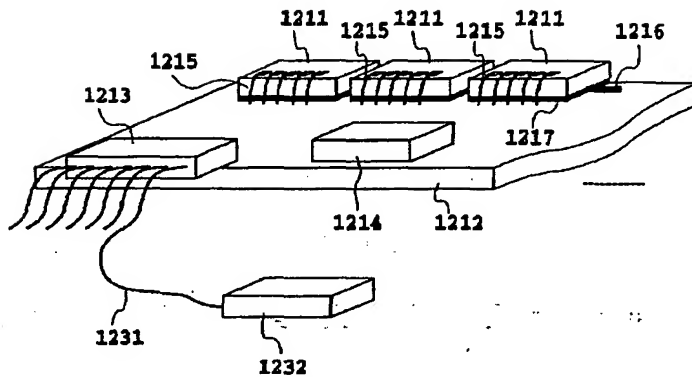
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 2C162 AF20 AF22 AF60 FA17
5C094 AA03 AA07 AA43 AA55 AA56
BA23 BA24 BA99 CA19 DB01
EA04 GB01
5F041 AA05 BB06 BB22 BB25 BB27
CA07 CB22